در فاز سه شبیه سازی پروژه با استفاده هسته FIR Compiler v.5 و در دو سطح بهینه سازی انجام شد. این هسته طراحی شده توسط کمپانی Xilinx است و نمای کلی آن بدین شکل است:

clk

[15:0] din

rdy

rfd

[15:0] dout

FIR Compiler v.5

din: داده ورودی 16 بیتی سریال که طبق نرخ نمونه برداری (در این پروژه 44100 هرتز) وارد ماژول می شود.

clk: پالس ساعت (در این پروژه 50 مگاهرتز)

dout: خروجی 16 بیتی سریال که طبق نرخ نمونه برداری (در این پروژه 44100 هرتز) از ماژول خارج می شود.

rfd: سیگنال خروجی یک بیتی که هر گاه ماژول آماده دریافت ورودی باشد، یک می شود.

rdy: سیگنال خروجی یک بیتی که هرگاه ماژول یک خروجی را آماده کند، یک می شود.

در این فاز دو کور به شکل های زیر ساخته شده و مورد استفاده قرار گرفتند:

الف) بهینه سازی فضا: در این هسته بهینه سازی فضا و منابع مورد استفاده در FPGA مورد توجه قرار گرفت. پس از خروجی گیری ماکزیمم پالس ساعت قابل اعمال به این هسته، 346.929MHz به دست آمد. سایر نتایج اعم از خروجی و منابع استفاده شده در FPGA را در شکل های زیر مشاهده می کنید.

ب) بهینه سازی سرعت: در این هسته بهینه سازی فضا و منابع مورد استفاده در FPGA مورد توجه قرار گرفت. پس از خروجی گیری ماکزیمم پالس ساعت قابل اعمال به این هسته، 452.396MHzبه دست آمد. سایر نتایج اعم از خروجی و منابع استفاده شده در FPGA را در شکل های زیر مشاهده می کنید.